

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-267318
 (43)Date of publication of application : 28.09.2001

(51)Int.CI.

H01L 21/3205

(21)Application number : 2000-072785

(71)Applicant : HITACHI LTD

(22)Date of filing : 15.03.2000

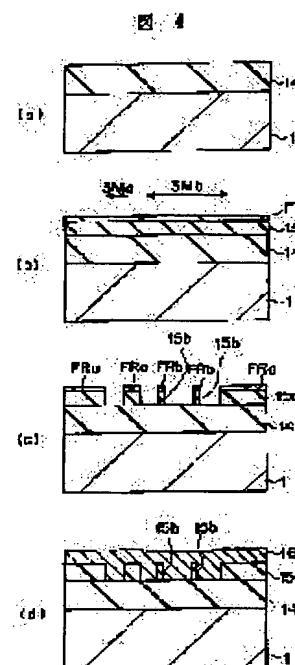
(72)Inventor : MOTOSAWA JUN
MORI KAZUTAKA
AOKI HIDEO

(54) METHOD OF MANUFACTURING SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a technology for reducing dishing quantity on metallic wiring and securing its planarity.

SOLUTION: A first mask pattern Fra is formed of a photoresist film in a region except for a wiring region on a silicon oxide film 15 and a second mask pattern FRB into an almost rectangular shape is formed in a wiring region 3Mb. The silicon oxide film is etched with the patterns as masks. Poles 15b, constituted of the silicon oxide films, are formed in the wiring region, and a Cu film 16 is formed. Then, the Cu film 16 is ground until the silicon oxide films 15a and 15b are exposed, so that a metal wiring is formed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

2001-267318

METHOD OF MANUFACTURING SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] (a) the process which forms a component on the principal plane of a semiconductor substrate, and (b) -- with the process which forms an insulator layer on said component (c) The process which forms the 1st mask pattern in the field except the wiring formation field on said insulator layer, and forms the 2nd mask pattern in said wiring formation field, (d) The process which forms the column which consists of said insulator layer in said wiring formation field by etching said insulator layer into a mask for said 1st and 2nd mask patterns, (e) The process which removes said 1st and 2nd mask patterns, and the process which forms a metal layer on the (f) aforementioned insulator layer and said wiring formation field, (g) The manufacture approach of the semiconductor integrated circuit equipment characterized by having the process which grinds said metal layer in chemical machinery until said insulator layer is exposed.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] this invention -- the manufacturing technology of semiconductor integrated circuit equipment -- being related -- especially -- chemical machinery polish (Chemical Mechanical Polishing;CMP) -- law was used -- it embeds, it applies to formation of metal wiring, and is related with an effective technique.

[0002]

[Description of the Prior Art] as the new ultra-fine processing technology accompanying high integration of recent years and LSI, and high-performance-izing -- chemical machinery-polish (CMP) -- installation of law is advanced.

[0003] On the other hand, with detailed-izing, increase of resistance of the conventional aluminum (aluminum) wiring poses a problem, and installation of Cu (copper) wiring with electric resistance lower than aluminum is advanced.

[0004] For example, after forming a wiring gutter in the insulator layer deposited on the silicon substrate and depositing Cu film, by removing unnecessary Cu film of the exterior of a slot by the CMP method, Cu is embedded to the interior of a slot and it considers as Cu wiring. the so-called DAMASHIN (Damascene) -- it is formation of Cu wiring by law.

[0005]

[Problem(s) to be Solved by the Invention] In the formation approach of the above Cu wiring, in case unnecessary Cu film of the exterior of a slot is removed by the CMP method, a part of metal membrane remains in the hollow on the front face of an insulator layer resulting from a substrate level difference. Since this metal residue causes a short circuit during embedding wiring, it needs to remove by performing exaggerated polish.

[0006] However, if this exaggerated polish is performed, the phenomenon (dishing) in which the surface central part of embedding wiring is ground superfluously, and retreats rather than a periphery will occur. If such a phenomenon arises, it will become difficult to secure surface smoothness and subsequent processes will be affected. Moreover, since the cross section of embedding wiring becomes small, wiring resistance increases.

[0007] By preparing the column which consists of the insulator layer called a slit and an island to the interior of embedding wiring, the purpose of this invention decreases the amount of dishing, and is to offer the technique in which surface smoothness is securable.

[0008] Moreover, other purposes of this invention decrease the amount of dishing, and are to offer the technique of preventing the increment in wiring resistance.

[0009] Said purpose of this invention and the new description will become clear from description and the accompanying drawing of this specification.

[0010]

[Means for Solving the Problem] It will be as follows if the outline of a typical thing is briefly explained among invention indicated in this application.

[0011] The process at which the manufacture approach of the semiconductor integrated circuit equipment of this invention forms a component on the principal plane of (a) semiconductor substrate, (b) The process which forms an insulator layer on said component, and the process which forms the 1st mask pattern in the field except the wiring formation field on the (c) aforementioned insulator layer, and forms the 2nd mask pattern in said wiring formation field, (d) The process which forms the column which consists of said insulator layer in said wiring formation field by etching said insulator layer into a mask for said 1st and 2nd mask patterns, (e) It has the process which removes said 1st and 2nd mask patterns, the process which forms a metal layer on the (f) aforementioned insulator layer and said wiring formation field, and the process which grinds said metal layer in chemical machinery until the (g) aforementioned insulator layer is exposed.

[0012] Since according to the above-mentioned means a metal layer is formed in the upper part and it grinds in chemical machinery after forming the column which consists of said insulator layer in a wiring formation field, the metal wiring width of face on appearance becomes small, and the amount of dishing in the polish process of a metal layer can be reduced.

[0013]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained to a detail based on a drawing. In addition, in the complete diagram for explaining the gestalt of operation, the same sign is given to the member which has the same function, and explanation of the repeat is omitted.

[0014] (Gestalt 1 of operation) Drawing 1 is the top view showing the configuration of metal wiring of the semiconductor integrated circuit equipment which is the gestalt 1 of operation. Drawing 1 shows the condition that wiring 16b was usually formed in parallel with **** wiring 16a. Between wiring 16b, silicon oxide film 15a is usually formed with these **** wiring 16a. Furthermore, in **** wiring 16a, the front face of column 15b (henceforth a silicon oxide column) which consists of silicon oxide film is exposed.

[0015] Wiring 16b and the lower layer condition of these wiring are usually explained to be this **** wiring 16a using drawing 2 and drawing 3. Drawing 2 (a) is [the B-B sectional view of drawing 1 and drawing 3 of the A-A sectional view of drawing 1 and (b)] the C-C sectional views of drawing 1. As shown in drawing 2 (b), wiring 16b is usually embedded to the interior of silicon oxide film 15a with **** wiring 16a, and as shown in drawing 2 (a) and drawing 3, in **** wiring 16a, abbreviation square pole-like silicon oxide column 15b is formed. In addition, 1 shows a silicon substrate, 14

shows an insulator layer, a semiconductor device is formed in the main front face of a silicon substrate 1, and these semiconductor devices, **** wiring 16a or wiring that usually connects wiring 16b etc., and a plug are formed in the insulator layer 14 so that it may mention later.

[0016] Next, a production process until wiring 16b is usually formed with said **** wiring 16a is explained, referring to drawing 4. First, as shown in drawing 4 (a), the silicon substrate 1 in which the insulator layer 14 was formed is prepared.

[0017] in addition, although not illustrated to drawing 4 (a), semiconductor devices (component), such as MISFET (Metal Insulator Semiconductor Field Effect Transistor) which constitutes memory and a microcomputer, form in the main front face of this silicon substrate 1 -- having -- **** -- two or more metal wiring and a plug -- minding -- said **** wiring 16a -- or it usually connects with wiring 16b etc.

[0018] The example is shown in drawing 10. As shown in drawing 10, MISFETQ is formed in the active field of a silicon substrate 1 in which the diffusion layer 2 was formed, i.e., the field in which field oxide 3 is not formed, according to the usual MOS device process. After forming the silicon oxide film 4 on this MISFETQ, the source of MISFETQ and the silicon oxide film 4 on a drain field are removed, and a contact hole 5 is formed. Furthermore, after depositing the W (tungsten) film 6 by the spatter on this contact hole 5 and the silicon oxide film 4, pattern NINGU of the W film 6 is carried out by dry etching, and the 1st-layer wiring which consists of the W film 6 is formed.

[0019] Furthermore, after forming the silicon oxide film 7 on the W film 6 and forming a contact hole 8 on the W film 6, the Cu film 9 is formed on a contact hole 8 and the silicon oxide film 7 by the spatter, and the plug which consists of the Cu film 9 is formed in a contact hole 8 by grinding by the CMP method. Next, the silicon oxide film 10 is formed on the Cu film 9 (plug) and the silicon oxide film 7, and etching removes the silicon oxide film 10 of the 2nd-layer wiring formation field. The Cu film 11 is formed on opening produced by this etching, and the silicon oxide film 10, and the 2nd-layer wiring which changes from the Cu film 11 to opening circles is formed by grinding by the CMP method.

[0020] Furthermore, after forming the silicon oxide film 12 on the Cu film 11 and forming a contact hole on the Cu film 11, The Cu film 13 is formed on a contact hole and the silicon oxide film 12 by the spatter. the plug which consists of the Cu film 13 is formed in a contact hole by grinding by the CMP method -- in addition Others [form / (single DAMASHIN) / the Cu film 10 which serves as the 2nd-layer wiring after forming the plug which consists of the Cu film 9], After forming a contact hole 8 and

said opening, it is also possible to form the 2nd-layer wiring by the so-called dual DAMASHIN which forms Cu film in a contact hole 8 and said opening. Moreover, although the 1st-layer wiring was used as W film, it is good as Cu film as well as the 2nd-layer wiring.

[0021] Therefore, the embedding plug for connection with the 3rd-layer wiring (for example, embedding plug which consists of the Cu film 13 of drawing 10) etc. has exposed the insulator layer 14 of drawing 4 to the front face of an insulator layer 14, including the above silicon oxide film 4, 7, 10, and 12.

[0022] Next, as shown in drawing 4 (b), on an insulator layer 14, the silicon oxide film 15 (insulator layer) is formed, and, subsequently to the silicon oxide film 15 top, the photoresist film FR is formed. Next, the photoresist film FR of the 3rd-layer wiring formation field (3Ma, 3Mb) is removed, and the photoresist film FRa (the 1st mask pattern) with which opening of the 3rd-layer wiring formation field (3Ma, 3Mb) was carried out is formed. Under the present circumstances, the photoresist film FR of the 3rd-layer wiring formation field (3Ma, 3Mb) is not removed altogether, but two or more abbreviation rectangle-like patterns FRb (the 2nd mask pattern) are made to remain in **** wiring formation field 3Mb among the 3rd-layer wiring formation fields (drawing 4 (c)). Then, subsequently to a mask, the silicon oxide film 15 is etched and photoresist-film-FRa(ing) and FRb removal of the photoresist film FRa and FRb are carried out. Consequently, in **** wiring formation field 3Mb, abbreviation square pole-like silicon oxide column 15b (column which consists of an insulator layer) is formed among the 3rd-layer wiring formation fields.

[0023] Next, the Cu film 16 (metal layer) is formed on the 3rd-layer wiring formation field (3Ma, 3Mb) including a silicon oxide column 15b top, and silicon oxide film 15a (drawing 4 (d)).

[0024] Then, it grinds until silicon oxide column 15b and silicon oxide film 15a expose the Cu film 16 by the CMP method, and in silicon oxide film 15a, the Cu film 16 (the 3rd-layer wiring) is embedded, and wiring (16a, 16b) is formed (refer to drawing 1 - drawing 3).

[0025] Thus, after forming silicon oxide column 15b in **** wiring formation field 3Mb among the 3rd-layer wiring formation fields, since [according to the gestalt of this operation] Cu film 16a is formed on silicon oxide column 15b and the 3rd-layer wiring is formed by grinding the Cu film 16 by the CMP method, the amount of dishing of Cu film 16a is decreased, and surface smoothness can be secured.

[0026] That is, since two or more silicon oxide column 15b is formed in **** wiring formation field 3Mb as shown in drawing 5 (a) if the cross-section configuration after

Cu film 16 formation is explained to a detail, appearance-like wiring width of face becomes narrow, and the amount of dishing decreases. On the other hand, as shown in drawing 5 (b), in not forming a silicon oxide column in the **** wiring formation field of the silicon oxide film 55, the dishing phenomenon in which the center of **** wiring 56a becomes depressed among the 3rd-layer wiring 56a and 56b arises, and it brings about the increment in the wiring resistance by the cross section of wiring decreasing. Moreover, surface smoothness is spoiled according to a dishing phenomenon. On the other hand, in order to lessen this amount of dishing, the need of controlling the amount of polishes by the CMP method delicately arises.

[0027] Therefore, if the amount of dishing of Cu film 16a can be decreased like the gestalt of this operation, the increment in the wiring resistance by dishing can be prevented. Moreover, surface smoothness can be raised. Furthermore, the need for control of the amount of polishes is eased, and a process margin can be expanded.

[0028] In addition, in the gestalt of this operation, although the wiring layer which prepares silicon oxide column 15b was considered as the 3rd-layer wiring, silicon oxide column 15b may be prepared in wiring of other layers. Moreover, the wiring layer which prepares silicon oxide column 15b is not restricted to one layer, but may be prepared in wiring of two or more layers.

[0029] Since wiring width of face is usually 4 micrometers or more and ****, especially power-source wiring prepared in the maximum upper layer and its lower layer is effective if the gestalt of this operation is applied. In addition, it is desirable not to be restricted to power-source wiring but for wiring width of face to apply the gestalt of this operation in wiring of 1 micrometers or more.

[0030] Moreover, what is necessary is just to set up suitably about the magnitude of silicon oxide column 15b, and its number in the range with the resistance increase acting as [in the range] a failure with a silicon oxide column. Moreover, about the configuration method, if it forms in the die-length direction of wiring at abbreviation regular intervals in consideration of wiring width of face and wiring die length, it is effective. Furthermore, an abbreviation square-like thing is sufficient as the top face which the top face as shows the configuration of silicon oxide column 15b to drawing 1 explains not only to an abbreviation rectangle-like thing but to the following.

[0031] (Gestalt 2 of operation) Drawing 6 is the top view showing the configuration of metal wiring of the semiconductor integrated circuit equipment which is the gestalt 2 of operation. Drawing 6 shows the condition that wiring 16b was usually formed in parallel with **** wiring 26a. Between wiring 16b, silicon oxide film 15a is usually formed with these **** wiring 26a. Furthermore, in **** wiring 26a, the front face of

column 25b (henceforth silicon oxide column 25b) which consists of silicon oxide film is exposed.

[0032] Wiring 16b and the lower layer condition of these wiring are usually explained to be this **** wiring 26a using drawing 7 and drawing 8. Drawing 7 (a) is [the B-B sectional view of drawing 6 and drawing 8 of the A-A sectional view of drawing 6 and (b)] the C-C sectional views of drawing 6. As shown in drawing 7 (b), wiring 16b is usually embedded to the interior of silicon oxide film 15a with **** wiring 26a, and as shown in drawing 7 (a) and drawing 8, in **** wiring 26a, **** square pole-like silicon oxide column 25b is formed. In addition, as 1 shows a silicon substrate, 14 shows an insulator layer and the gestalt 1 of operation explained, a semiconductor device is formed in the main front face of a silicon substrate 1, and these semiconductor devices, **** wiring 26a or wiring that usually connects wiring 16b etc., and a plug are formed in the insulator layer 14.

[0033] In addition, except the configuration of two or more patterns FRb (the 2nd mask pattern) in the gestalt 1 of operation being an abbreviation square, since it is the same as that of the gestalt 1 of operation, a production process until wiring 16b is usually formed with said **** wiring 26a is skipped.

[0034] Thus, according to the gestalt of this operation as well as the case of the gestalt 1 of operation, after forming silicon oxide column 25b, Cu film is formed on silicon oxide column 25b, since the 3rd-layer wiring (26a, 16b) is formed by grinding Cu film by the CMP method, the amount of dishing of Cu film 26a is decreased, and surface smoothness can be secured. Moreover, the increment in the wiring resistance by dishing can be prevented, and a process margin can be expanded.

[0035] Moreover, with the gestalten 1 and 2 of operation, although the silicon oxide column (15b, 25b) was formed only in the **** wiring formation field, as shown in drawing 9, silicon oxide column 25b can usually be prepared also in a wiring (36b) formation field only not only in a **** wiring (36a) formation field. Thus, usually preparing the same silicon oxide column as a **** wiring formation field also in a wiring formation field, then DA data processing at the time of a mask can be simplified.

[0036] (Gestalt 3 of operation) In the gestalt of the above operation, although the amount of dishing of wiring which forms a silicon oxide column in a wiring formation field, and consists of Cu film was decreased, as shown in drawing 11 · drawing 13, column (henceforth silicon column) 31b which consists of a silicon substrate can be formed in the component isolation region F of a silicon substrate 1, and the amount of dishing of the silicon oxide film 33 embedded in the component isolation region F can also be decreased.

[0037] Drawing 11 is the top view showing the configuration of the component isolation region (33) of the semiconductor integrated circuit equipment which is the gestalt 3 of operation. Drawing 12 (a) is the A-A sectional view of drawing 11, and (b) is the B-B sectional view of drawing 11. Moreover, drawing 13 is the C-C sectional view of drawing 11.

[0038] Drawing 11 shows the condition that two or more component formation fields A1 - A4 were formed on the silicon substrate 1. Between these components formation fields (A1 - A4), the silicon oxide film 33 (component isolation region F) is formed. Furthermore, in the component isolation region F, the front face of silicon column 31b is exposed.

[0039] As shown in drawing 12 (a), the slot for isolation is formed in the perimeter of the component formation field A1 of drawing 11 - A4, and the silicon oxide film 33 is embedded in the interior of the slot. The slot for these isolation is formed by etching a silicon substrate 1 into a mask in the silicon nitride formed on the component formation field (A1 - A4) of a silicon substrate 1. Moreover, the silicon oxide film 33 is embedded to the interior of a slot by grinding the silicon oxide film 33 formed on the slot for isolation and the component formation field A1 - A4 by the CMP method.

[0040] However, since the silicon oxide film 33 will be formed on this silicon column 31b on the occasion of isolation since **** square pole-like silicon column 1b is formed in the component isolation region F and it will grind by the CMP method as shown in drawing 12 (b) and drawing 13, the amount of dishing of the silicon oxide film 33 can be decreased, and surface smoothness can be secured.

[0041] Moreover, the need for control of the amount of polishes is eased, and a process margin can be expanded.

[0042] As mentioned above, although invention made by this invention person was concretely explained based on the gestalt of operation, it cannot be overemphasized that it can change variously in the range which this invention is not limited to the gestalt of said operation, and does not deviate from the summary.

[0043]

[Effect of the Invention] It will be as follows if the effectiveness acquired by the typical thing among invention indicated in this application is explained briefly.

[0044] In the manufacture approach of the semiconductor integrated circuit equipment of this invention, since a metal layer is formed in the upper part and it grinds in chemical machinery after forming the column which consists of an insulator layer in a wiring formation field, the metal wiring width of face on appearance becomes small, and the amount of dishing in the polish process of a metal layer can be reduced.

Therefore, surface smoothness is securable as a result. Moreover, the increment in the wiring resistance by dishing can be prevented, and a process margin can be expanded.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the top view showing the configuration of metal wiring of the semiconductor integrated circuit equipment concerning the gestalt 1 of operation of this invention.

[Drawing 2] (a) is the A-A sectional view of drawing 1, and (b) is the B-B sectional view of drawing 1.

[Drawing 3] It is the C-C sectional view of drawing 1.

[Drawing 4] It is the important section sectional view of the substrate in which the manufacture approach of the semiconductor integrated circuit equipment of the gestalt 1 operation is shown.

[Drawing 5] (a) is a sectional view for explaining the cross-section configuration after wiring formation to a detail, and (b) is a sectional view for explaining the effectiveness of this invention.

[Drawing 6] It is the top view showing the configuration of metal wiring of the semiconductor integrated circuit equipment concerning the gestalt 2 of operation of this invention.

[Drawing 7] (a) is the A-A sectional view of drawing 6, and (b) is the B-B sectional view of drawing 6.

[Drawing 8] It is the C-C sectional view of drawing 6.

[Drawing 9] It is the top view showing the configuration of metal wiring at the time of forming a silicon oxide column also in usual wiring of semiconductor integrated circuit equipment.

[Drawing 10] It is drawing for explaining the component and wiring which are formed on the silicon substrate.

[Drawing 11] It is the top view showing the configuration of the component isolation region of the semiconductor integrated circuit equipment concerning the gestalt 3 of operation of this invention.

[Drawing 12] (a) is the A-A sectional view of drawing 11, and (b) is the B-B sectional view of drawing 11.

[Drawing 13] It is the C-C sectional view of drawing 11.

[Description of Notations]

1 Silicon Substrate
2 Diffusion Layer
3 Field Oxide
4 Silicon Oxide Film
5 Contact Hole
6 W Film
7 Silicon Oxide Film
8 Contact Hole
9 Cu Film
10 Silicon Oxide Film
11 Cu Film
12 Silicon Oxide Film
13 Cu Film
14 Insulator Layer
15 Silicon Oxide Film
15a Silicon oxide film
15b Silicon oxide column
16 Cu Film
16a ** wiring**
16b Usually, wiring
FR Photoresist film
FRa Photoresist film
FRb Abbreviation rectangle-like pattern
3Ma(s) It is usually a wiring formation field.
3Mb(s) ** wiring formation field**
Q MISFET
26a ** wiring**
25b Silicon oxide column
36a ** wiring**
36b Usually, wiring
31b Silicon column
33 Silicon Oxide Film
A1 - A4 Component formation field
F Component isolation region
56a ** wiring**
56b Usually, wiring

Abstract:

PROBLEM TO BE SOLVED: To provide a technology for reducing dishing quantity on metallic wiring and securing its planarity.

SOLUTION: A first mask pattern Fra is formed of a photoresist film in a region except for a wiring region on a silicon oxide film 15 and a second mask pattern FRb into an almost rectangular shape is formed in a wiring region 3Mb. The silicon oxide film is etched with the patterns as masks. Poles 15b, constituted of the silicon oxide films, are formed in the wiring region, and a Cu film 16 is formed. Then, the Cu film 16 is ground until the silicon oxide films 15a and 15b are exposed, so that a metal wiring is formed.

[Translation done.]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-267318

(P2001-267318A)

(43)公開日 平成13年9月28日 (2001.9.28)

(51)Int.Cl.⁷

H 01 L 21/3205

識別記号

F I

テーマコード(参考)

H 01 L 21/88

K 5 F 03 3

審査請求 未請求 請求項の数1 O.L (全8頁)

(21)出願番号 特願2000-72785(P2000-72785)

(22)出願日 平成12年3月15日 (2000.3.15)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 本澤 純

東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

(72)発明者 森 和孝

東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

(74)代理人 100080001

弁理士 筒井 大和

最終頁に続く

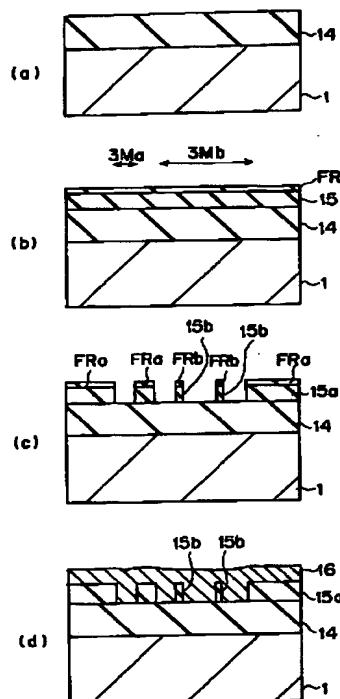
(54)【発明の名称】 半導体集積回路装置の製造方法

(57)【要約】

【課題】 金属配線のディッシング量を減少させ、平坦性を確保できる技術を提供する。

【解決手段】 酸化シリコン膜15上上の配線形成領域以外の領域に、フォトレジスト膜で第1のマスクパターンFRaを形成し、配線形成領域3Mb内に略長方形状の第2のマスクパターンFRbを形成し、これらをマスクに前記酸化シリコン膜をエッチングし、酸化シリコン膜よりなる柱15bを配線形成領域内に形成した後、Cu膜16を形成し、酸化シリコン膜15a、15bが露出するまで前記Cu膜16を研磨することにより、金属配線を形成する。

図4



【特許請求の範囲】

- 【請求項 1】 (a) 半導体基板の主面上に素子を形成する工程と、
 (b) 前記素子上に絶縁膜を形成する工程と、
 (c) 前記絶縁膜上の配線形成領域を除く領域に第1のマスクパターンを形成し、前記配線形成領域内に第2のマスクパターンを形成する工程と、
 (d) 前記第1および第2のマスクパターンをマスクに前記絶縁膜をエッチングすることにより前記配線形成領域内に前記絶縁膜より成る柱を形成する工程と、
 (e) 前記第1および第2のマスクパターンを除去する工程と、
 (f) 前記絶縁膜および前記配線形成領域上に金属層を形成する工程と、
 (g) 前記絶縁膜が露出するまで前記金属層を化学機械的に研磨する工程と、
 を有することを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置の製造技術に関し、特に、化学機械的研磨 (Chemical Mechanical Polishing; CMP) 法を用いた埋め込み金属配線の形成に適用して有効な技術に関する。

【0002】

【従来の技術】近年、LSIの高集積化、高性能化に伴う新たな微細加工技術として、化学機械的研磨 (CMP) 法の導入が進められている。

【0003】一方、微細化に伴って、従来のAl (アルミニウム) 配線の抵抗の増大が問題となっており、Alよりも電気抵抗が低いCu (銅) 配線の導入が進められている。

【0004】例えば、シリコン基板上に堆積した絶縁膜に配線溝を形成し、Cu膜を堆積した後、溝の外部の不要なCu膜をCMP法で除去することにより、溝内部にCuを埋め込み、Cu配線とする。いわゆるダマシン (Damascene) 法によるCu配線の形成である。

【0005】

【発明が解決しようとする課題】前述のようなCu配線の形成方法においては、溝の外部の不要なCu膜をCMP法で除去する際、下地段差に起因する絶縁膜表面の窪みに金属膜の一部が残存する。この金属残さは、埋め込み配線間の短絡の原因となるため、オーバー研磨を行って除去する必要がある。

【0006】しかしながら、このオーバー研磨を行うと、埋め込み配線の表面中央部分が周辺部よりも過剰に研磨されて後退する現象 (ディッシング) が発生する。このような現象が生じると、平坦性を確保することが困難となり、以降の工程に影響を与える。また、埋め込み配線の断面積が小さくなるために、配線抵抗が増大す

る。

【0007】本発明の目的は、埋め込み配線の内部にスリットや島と呼ばれる絶縁膜より成る柱を設けることにより、ディッシング量を減少させ、平坦性を確保できる技術を提供することにある。

【0008】また、本発明の他の目的は、ディッシング量を減少させ、配線抵抗の増加を防止する技術を提供することにある。

【0009】本発明の前記目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0010】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0011】本発明の半導体集積回路装置の製造方法は、(a) 半導体基板の主面上に素子を形成する工程と、(b) 前記素子上に絶縁膜を形成する工程と、(c) 前記絶縁膜上の配線形成領域を除く領域に第1のマスクパターンを形成し、前記配線形成領域内に第2のマスクパターンを形成する工程と、(d) 前記第1および第2のマスクパターンをマスクに前記絶縁膜をエッチングすることにより前記配線形成領域内に前記絶縁膜より成る柱を形成する工程と、(e) 前記第1および第2のマスクパターンを除去する工程と、(f) 前記絶縁膜および前記配線形成領域上に金属層を形成する工程と、(g) 前記絶縁膜が露出するまで前記金属層を化学機械的に研磨する工程と、を有する。

【0012】上記手段によれば、配線形成領域内に前記絶縁膜より成る柱を形成した後、その上部に金属層を形成し、化学機械的に研磨するので、見かけ上の金属配線幅が小さくなり、金属層の研磨工程におけるディッシング量を低減することができる。

【0013】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

【0014】(実施の形態1) 図1は、実施の形態1である半導体集積回路装置の金属配線の形状を示す平面図である。図1は、太幅配線16aと通常配線16bが平行に形成された状態を示す。これら太幅配線16aと通常配線16bとの間には、酸化シリコン膜15aが形成されている。さらに、太幅配線16a内には、酸化シリコン膜よりなる柱15b (以下酸化シリコン柱という) の表面が露出している。

【0015】この太幅配線16aと通常配線16bおよびこれらの配線の下層状態を、図2および図3を用いて説明する。図2(a)は、図1のA-A断面図、(b)は、図1のB-B断面図、図3は、図1のC-C断面図である。図2(b)に示すように、太幅配線16aと通

常配線16bは、酸化シリコン膜15aの内部に埋め込まれており、図2(a)および図3に示すように、太幅配線16a内には、略四角柱状の酸化シリコン柱15bが形成されている。なお、1はシリコン基板、14は絶縁膜を示し、後述するように、シリコン基板1の主表面には半導体素子が形成され、絶縁膜14内には、これら半導体素子と太幅配線16aもしくは通常配線16b等とを接続する配線やプラグが形成されている。

【0016】次に、図4を参照しながら、前記太幅配線16aと通常配線16bが形成されるまでの製造工程を説明する。まず、図4(a)に示すように、絶縁膜14が形成されたシリコン基板1を準備する。

【0017】なお、図4(a)には図示していないが、このシリコン基板1の主表面には、メモリやマイコンを構成するMISFET(Metal Insulator Semiconductor Field Effect Transistor)等の半導体素子(素子)が形成されており、複数の金属配線やプラグを介して前記太幅配線16aもしくは通常配線16b等に接続されている。

【0018】図10にその一例を示す。図10に示すように、拡散層2が形成されたシリコン基板1のアクティブ領域、即ち、フィールド酸化膜3が形成されていない領域に、通常のMOSデバイスプロセスにより、MISFETQを形成する。このMISFETQ上に酸化シリコン膜4を形成した後、MISFETQのソース、ドレイン領域上の酸化シリコン膜4を除去し、コンタクトホール5を形成する。さらに、このコンタクトホール5および酸化シリコン膜4上に、スパッタ法によりW(タンゲステン)膜6を堆積した後、ドライエッチングによりW膜6をパターンニングし、W膜6より成る第1層配線を形成する。

【0019】さらに、W膜6上に酸化シリコン膜7を形成し、W膜6上にコンタクトホール8を形成した後、Cu膜9をスパッタ法によりコンタクトホール8および酸化シリコン膜7上に形成し、CMP法で研磨することによりコンタクトホール8内にCu膜9より成るプラグを形成する。次に、Cu膜9(プラグ)および酸化シリコン膜7上に酸化シリコン膜10を形成し、第2層配線形成領域の酸化シリコン膜10をエッチングにより除去する。このエッチングにより生じた開口部および酸化シリコン膜10上にCu膜11を形成し、CMP法で研磨することにより開口部内にCu膜11より成る第2層配線を形成する。

【0020】さらに、Cu膜11上に酸化シリコン膜12を形成し、Cu膜11上にコンタクトホールを形成した後、Cu膜13をスパッタ法によりコンタクトホールおよび酸化シリコン膜12上に形成し、CMP法で研磨することによりコンタクトホール内にCu膜13より成るプラグを形成する。なお、Cu膜9より成るプラグを形成後、第2層配線となるCu膜10を形成する(シング

ルダマシン)の他、コンタクトホール8および前記開口部を形成した後、Cu膜をコンタクトホール8および前記開口部内に形成する、いわゆるデュアルダマシンにより第2層配線を形成することも可能である。また、第1層配線をW膜としたが、第2層配線と同様にCu膜としてもよい。

【0021】従って、図4の絶縁膜14は、上述のような酸化シリコン膜4、7、10、12を含み、また、絶縁膜14の表面には、第3層配線との接続のための埋め込みプラグ(例えば、図10のCu膜13より成る埋め込みプラグ)等が露出している。

【0022】次に、図4(b)に示すように、絶縁膜14上に、酸化シリコン膜15(絶縁膜)を形成し、次いで、酸化シリコン膜15上にフォトレジスト膜FRを形成する。次に、第3層配線形成領域(3Ma、3Mb)のフォトレジスト膜FRを除去し、第3層配線形成領域(3Ma、3Mb)が開口されたフォトレジスト膜FRa(第1のマスクパターン)を形成する。この際、第3層配線形成領域(3Ma、3Mb)のフォトレジスト膜FRをすべて除去せず、第3層配線形成領域のうち太幅配線形成領域3Mb内に、略長方形状の複数のパターンFRb(第2のマスクパターン)を残存させる(図4(c))。その後、次いでフォトレジスト膜FRaおよびFRbをマスクに酸化シリコン膜15をエッチングし、フォトレジスト膜FRaおよびFRb除去する。この結果、第3層配線形成領域のうち太幅配線形成領域3Mb内には、略四角柱状の酸化シリコン柱15b(絶縁膜より成る柱)が形成される。

【0023】次に、酸化シリコン柱15b上を含む第3層配線形成領域(3Ma、3Mb)および酸化シリコン膜15a上にCu膜16(金属層)を形成する(図4(d))。

【0024】その後、CMP法によりCu膜16を酸化シリコン柱15bおよび酸化シリコン膜15aが露出するまで研磨し、酸化シリコン膜15a内にCu膜16(第3層配線)を埋め込み、配線(16a、16b)を形成する(図1～図3参照)。

【0025】このように、本実施の形態によれば、第3層配線形成領域のうち太幅配線形成領域3Mb内に、酸化シリコン柱15bを形成した後、酸化シリコン柱15b上にCu膜16aを形成し、CMP法によりCu膜16を研磨することにより第3層配線を形成することとしたので、Cu膜16aのディッシング量を減少させ、平坦性を確保できる。

【0026】即ち、Cu膜16形成後の断面形状を詳細に説明すれば、図5(a)に示すように、太幅配線形成領域3Mb内には、複数の酸化シリコン柱15bが形成されているため、見かけ上の配線幅が狭くなり、ディッシング量が減少する。これに対し、図5(b)に示すように、酸化シリコン膜55の太幅配線形成領域に酸化シリ

リコン柱を形成しない場合には、第3層配線 56a および 56b のうち太幅配線 56a の中央が窪むディッシング現象が生じ、配線の断面積が減少することによる配線抵抗の増加をもたらす。また、ディッシング現象により平坦性を損なう。一方、かかるディッシング量を少なくするためにには、CMP 法による研磨量を微妙にコントロールする必要がある。

【0027】従って、本実施の形態のように Cu 膜 16a のディッシング量を減少させることができれば、ディッシングによる配線抵抗の増加を防止することができる。また、平坦性を向上させることができる。さらには、研磨量の制御の必要性が緩和され、プロセスマージンを拡大することができる。

【0028】なお、本実施の形態においては、酸化シリコン柱 15b を設ける配線層を第3層配線としたが、他の層の配線に酸化シリコン柱 15b を設けてもよい。また、酸化シリコン柱 15b を設ける配線層は 1 層に限らず、複数層の配線に設けても良い。

【0029】特に、最上層およびその下層に設けられる電源配線は、通常配線幅が $4 \mu\text{m}$ 以上と太幅であるため、本実施の形態を適用すれば効果的である。なお、電源配線に限らず、配線幅が $1 \mu\text{m}$ 以上の配線においては、本実施の形態を適用することが望ましい。

【0030】また、酸化シリコン柱 15b の大きさおよびその個数については、酸化シリコン柱による抵抗増大が障害にならない範囲で適宜設定すればよい。また、その配置方法については、配線幅および配線長さを考慮し、配線の長さ方向に略等間隔に形成すれば効果的である。さらに、酸化シリコン柱 15b の形状は、図 1 に示すようなその上面が略長方形形状のもののみならず、以下に説明する上面が略正方形形状のものでもよい。

【0031】(実施の形態 2) 図 6 は、実施の形態 2 である半導体集積回路装置の金属配線の形状を示す平面図である。図 6 は、太幅配線 26a と通常配線 16b が平行に形成された状態を示す。これら太幅配線 26a と通常配線 16b との間には、酸化シリコン膜 15a が形成されている。さらに、太幅配線 26a 内には、酸化シリコン膜よりなる柱 25b (以下酸化シリコン柱 25b という) の表面が露出している。

【0032】この太幅配線 26a と通常配線 16b、およびこれらの配線の下層状態を図 7 および図 8 を用いて説明する。図 7 (a) は、図 6 の A-A 断面図、(b) は、図 6 の B-B 断面図、図 8 は、図 6 の C-C 断面図である。図 7 (b) に示すように、太幅配線 26a と通常配線 16b は、酸化シリコン膜 15a の内部に埋め込まれており、図 7 (a) および図 8 に示すように、太幅配線 26a 内には、略正四角柱状の酸化シリコン柱 25b が形成されている。なお、1 はシリコン基板、14 は絶縁膜を示し、実施の形態 1 で説明したように、シリコン基板 1 の主表面には半導体素子が形成され、絶縁膜 1

4 内には、これら半導体素子と太幅配線 26a もしくは通常配線 16b 等とを接続する配線やプラグが形成されている。

【0033】なお、前記太幅配線 26a と通常配線 16b が形成されるまでの製造工程は、実施の形態 1 中の複数のパターン FRb (第 2 のマスクパターン) の形状が略正方形であること以外は実施の形態 1 と同様であるため省略する。

【0034】このように、本実施の形態によっても、実施の形態 1 の場合と同様に、酸化シリコン柱 25b を形成した後、酸化シリコン柱 25b 上に Cu 膜を形成し、CMP 法により Cu 膜を研磨することにより第3層配線 (26a, 16b) を形成することとしたので Cu 膜 26a のディッシング量を減少させ、平坦性を確保できる。また、ディッシングによる配線抵抗の増加を防止することができ、プロセスマージンを拡大することができる。

【0035】また、実施の形態 1 および 2 では、太幅配線形成領域のみに、酸化シリコン柱 (15b, 25b) を形成したが、図 9 に示すように酸化シリコン柱 25b を太幅配線 (36a) 形成領域のみならず、通常配線 (36b) 形成領域にも設けることができる。このように通常配線形成領域にも太幅配線形成領域と同様の酸化シリコン柱を設けることとすれば、マスク時の DA 演算処理を簡易化することができる。

【0036】(実施の形態 3) 以上の実施の形態においては、配線形成領域に酸化シリコン柱を形成し、Cu 膜からなる配線のディッシング量を減少させたが、図 11 ~ 図 13 に示すように、シリコン基板 1 の素子分離領域 F にシリコン基板よりなる柱 (以下シリコン柱という) 31b を形成し、素子分離領域 F に埋め込まれる酸化シリコン膜 33 のディッシング量を減少させることもできる。

【0037】図 11 は、実施の形態 3 である半導体集積回路装置の素子分離領域 (33) の形状を示す平面図である。図 12 (a) は、図 11 の A-A 断面図、(b) は、図 11 の B-B 断面図である。また、図 13 は、図 11 の C-C 断面図である。

【0038】図 11 は、シリコン基板 1 上に複数の素子形成領域 A1 ~ A4 が形成された状態を示す。これら素子形成領域 (A1 ~ A4) 間には、酸化シリコン膜 33 (素子分離領域 F) が形成されている。さらに、素子分離領域 F 内には、シリコン柱 31b の表面が露出している。

【0039】図 12 (a) に示すように、図 11 の素子形成領域 A1 ~ A4 の周囲には、素子分離用の溝が形成され、その溝内部には、酸化シリコン膜 33 が埋め込まれている。この素子分離用の溝は、シリコン基板 1 の素子形成領域 (A1 ~ A4) 上に形成されたシリコン塗化膜をマスクにシリコン基板 1 をエッチングすることによ

り形成される。また、酸化シリコン膜33は、素子分離用の溝および素子形成領域A1～A4上に形成された酸化シリコン膜33をCMP法により研磨することによって溝内部に埋め込まれる。

【0040】しかしながら、図12(b)および図13に示すように、素子分離領域F内には、略正四角柱状のシリコン柱1bが形成されているため、素子分離に際してはこのシリコン柱31b上に酸化シリコン膜33を形成し、CMP法により研磨することとなるため、酸化シリコン膜33のディッシング量を減少させ、平坦性を確保することができる。

【0041】また、研磨量の制御の必要性が緩和され、プロセスマージンを拡大することができる。

【0042】以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0043】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【0044】本発明の半導体集積回路装置の製造方法においては、配線形成領域内に絶縁膜より成る柱を形成した後、その上部に金属層を形成し、化学機械的に研磨するので、見かけ上の金属配線幅が小さくなり、金属層の研磨工程におけるディッシング量を低減することができる。従って、結果として平坦性を確保することができる。また、ディッシングによる配線抵抗の増加を防止することができ、また、プロセスマージンを拡大することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態1に係る半導体集積回路装置の金属配線の形状を示す平面図である。

【図2】(a)は、図1のA-A断面図、(b)は、図1のB-B断面図である。

【図3】図1のC-C断面図である。

【図4】実施の形態1の半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図5】(a)は、配線形成後の断面形状を詳細に説明するための断面図であり、(b)は、本発明の効果を説明するための断面図である。

【図6】本発明の実施の形態2に係る半導体集積回路装置の金属配線の形状を示す平面図である。

【図7】(a)は、図6のA-A断面図、(b)は、図6のB-B断面図である。

【図8】図6のC-C断面図である。

【図9】半導体集積回路装置の通常配線にも酸化シリコ

ン柱を形成した場合の金属配線の形状を示す平面図である。

【図10】シリコン基板上に形成されている素子および配線を説明するための図である。

【図11】本発明の実施の形態3に係る半導体集積回路装置の素子分離領域の形状を示す平面図である。

【図12】(a)は、図11のA-A断面図、(b)は、図11のB-B断面図である。

【図13】図11のC-C断面図である。

【符号の説明】

- | | |
|---------------|------------|
| 1 | シリコン基板 |
| 2 | 拡散層 |
| 3 | フィールド酸化膜 |
| 4 | 酸化シリコン膜 |
| 5 | コンタクトホール |
| 6 | W膜 |
| 7 | 酸化シリコン膜 |
| 8 | コンタクトホール |
| 9 | Cu膜 |
| 10 | 酸化シリコン膜 |
| 11 | Cu膜 |
| 12 | 酸化シリコン膜 |
| 13 | Cu膜 |
| 14 | 絶縁膜 |
| 15 | 酸化シリコン膜 |
| 15a | 酸化シリコン膜 |
| 15b | 酸化シリコン柱 |
| 16 | Cu膜 |
| 16a | 太幅配線 |
| 16b | 通常配線 |
| F R | フォトレジスト膜 |
| F R a | フォトレジスト膜 |
| F R b | 略長方形状のパターン |
| 3 M a | 通常配線形成領域 |
| 3 M b | 太幅配線形成領域 |
| Q M I S F E T | |
| 2 6 a | 太幅配線 |
| 2 5 b | 酸化シリコン柱 |
| 3 6 a | 太幅配線 |
| 3 6 b | 通常配線 |
| 3 1 b | シリコン柱 |
| 3 3 | 酸化シリコン膜 |
| A 1～A 4 | 素子形成領域 |
| F | 素子分離領域 |
| 5 6 a | 太幅配線 |
| 5 6 b | 通常配線 |

10

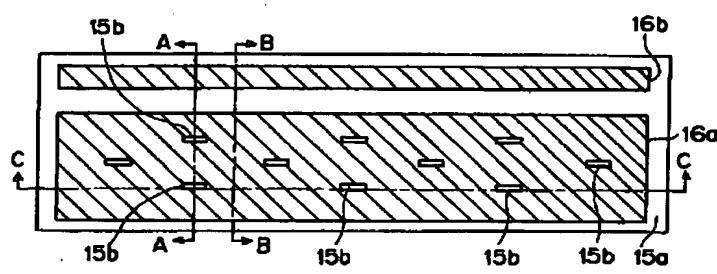
20

30

40

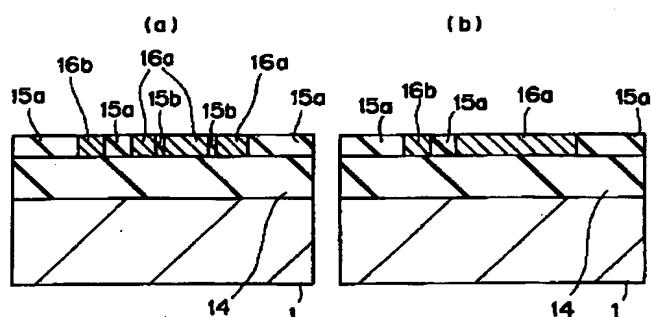
【図 1】

図 1



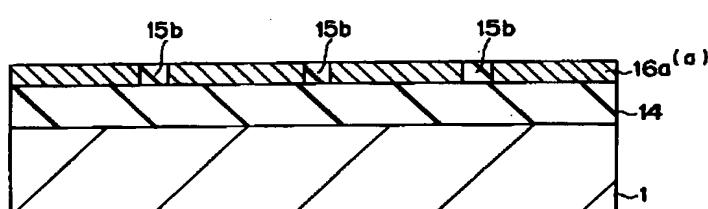
【図 2】

図 2



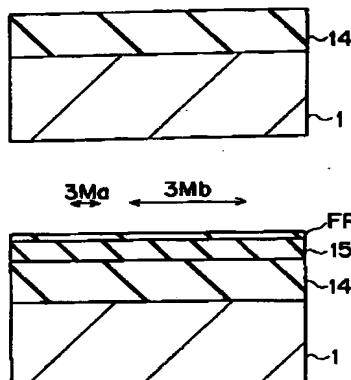
【図 3】

図 3



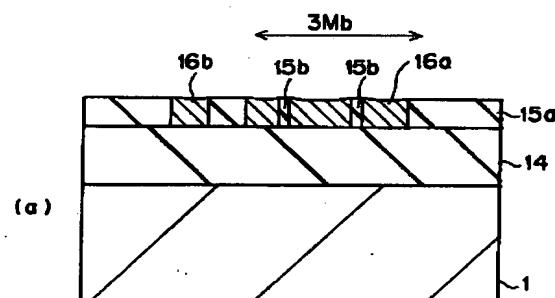
【図 4】

図 4

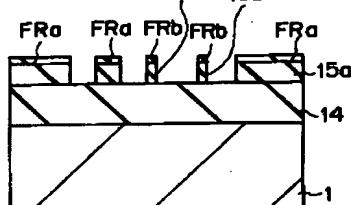


【図 5】

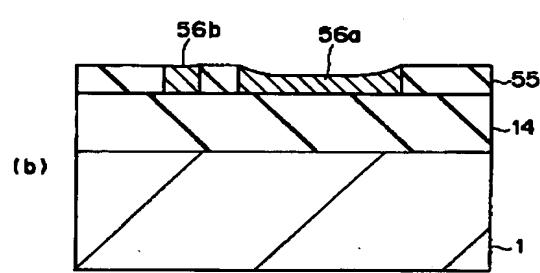
図 5



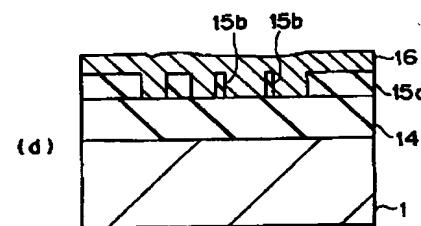
(a)



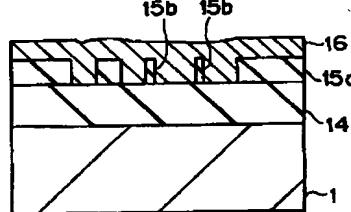
(b)



(b)



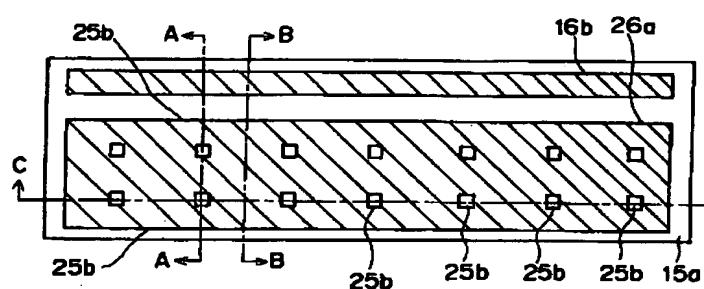
(c)



(d)

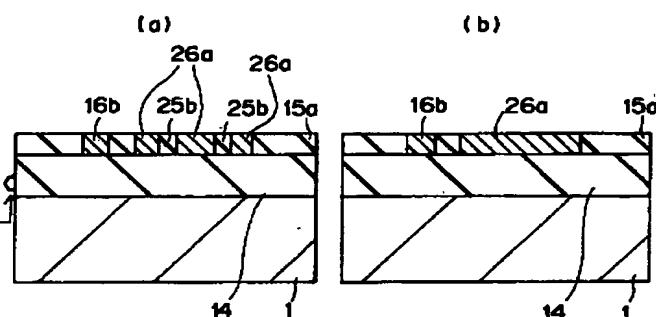
【図6】

図 6



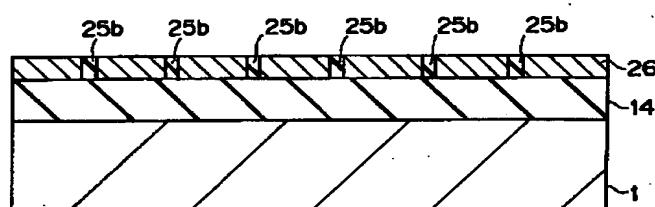
【図7】

図 7



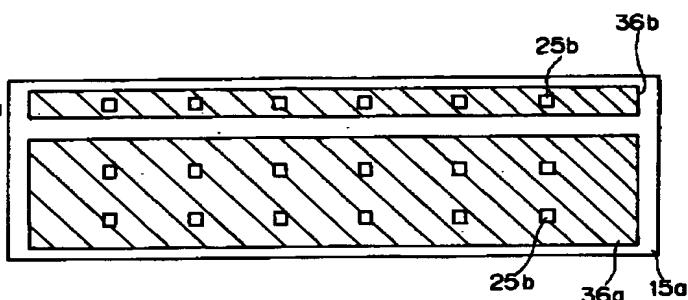
【図8】

図 8



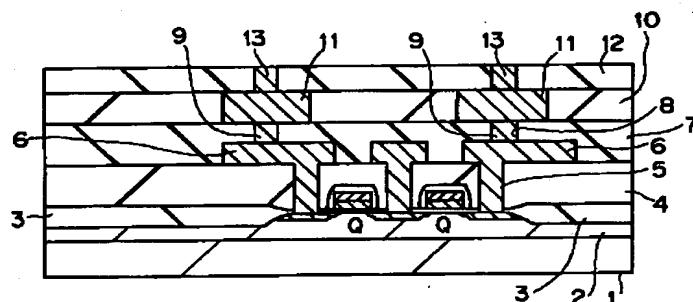
【図9】

図 9



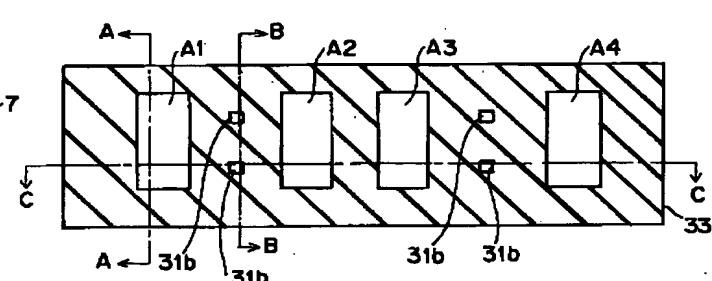
【図10】

図 10



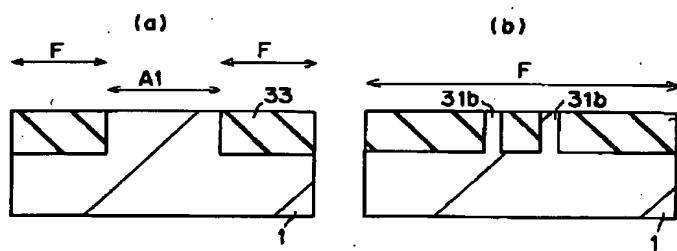
【図11】

図 11



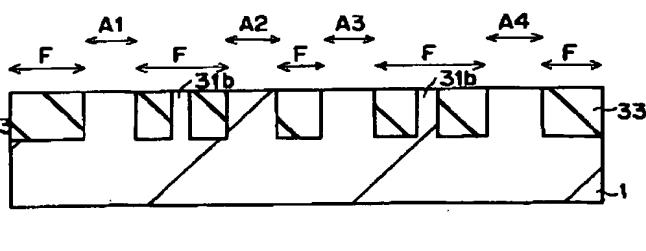
【図12】

図 12



【図13】

図 13



フロントページの続き

(72) 発明者 青木 英雄

東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

F ターム(参考) 5F033 HH11 HH19 JJ01 JJ11 JJ19
KK01 KK19 MM01 MM02 MM21
PP15 QQ09 QQ37 QQ48 RR04
TT02 XX01